

J1046 U.S. PTO
10/046995
01/14/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2001년 제 17451 호
Application Number PATENT-2001-0017451

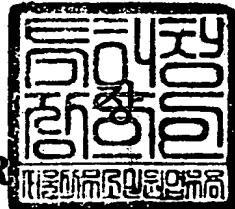
출 원 년 월 일 : 2001년 04월 02일
Date of Application APR 02, 2001

출 원 인 : 앱코 테크놀로지 코리아 주식회사
Applicant(s) Amkor Technology Korea, Inc.



2001 년 12 월 21 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2001.04.02
【국제특허분류】	H01L
【발명의 명칭】	반도체패키지 및 그 제조 방법
【발명의 영문명칭】	semiconductor package and its manufacturing method

【출원인】

【명칭】	앰코 테크놀로지 코리아 주식회사
【출원인코드】	1-1999-032391-1

【대리인】

【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-043688-8

【발명자】

【성명의 국문표기】	백종식
【성명의 영문표기】	PAEK, Jong Sik
【주민등록번호】	700330-1450745
【우편번호】	130-035
【주소】	서울특별시 동대문구 답십리5동 678

【국적】

KR

【심사청구】

청구

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
서만규 (인)

【수수료】

【기본출원료】	16 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	7 항	333,000 원
【합계】	362,000 원	

1020010017451

출력 일자: 2001/12/24

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

이 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 두께가 얇고 면적이
이 작으며, 화상의 왜곡 현상이 없도록 상면에 외부의 빛을 수광하는 활성영역이
형성되고, 상기 활성영역의 외주연에는 다수의 입출력패드가 형성된 반도체칩과
; 상기 입출력패드에 용착된 도전성범프와; 상기 반도체칩의 활성영역에 밀착되
도록 밀착면이 형성되고, 상기 밀착면의 외주연에는 상기 도전성범프와 접속되도
록 회로패턴이 형성된 글래스와; 상기 반도체칩의 두께보다 큰 두께를 가지며,
상기 회로패턴에 용착된 신호인출단자를 포함하여 이루어진 것을 특징으로 함.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

반도체패키지 및 그 제조 방법{semiconductor package and its manufacturing method}

【도면의 간단한 설명】

도1은 종래의 반도체패키지를 도시한 단면도이다.

도2a는 본 발명에 의한 반도체패키지를 도시한 단면도이고, 도2b는 도2a의 반도체패키지가 마더보드에 실장된 상태를 도시한 단면도이다.

도3a 내지 도3d는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

- 도면중 주요 부호에 대한 설명 -

100; 본 발명에 의한 반도체패키지

2; 반도체칩 2a; 입출력패드

2b; 활성영역 4; 글래스(Glass)

4a; 밀착면 4b; 요홈

6; 회로패턴 8; 도전성범프

10; 언더필(Under fill) 12; 신호인출단자

M; 마더보드

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게 설명하면 CCD용 반도체칩을 탑재한 비젼 반도체패키지 및 그 제조 방법에 관한 것이다.
- <13> 통상 CCD는 Charge Coupled Devices의 약어로 반도체 소자의 일종인 전하결합 소자를 말하며 하나의 소자로부터 인접한 다른 소자로 전하를 전송할 수 있는 소자를 말한다. 텔레비전 카메라의 영상신호 계통에서 피사체의 빛은 렌즈를 통과한 후 색분해 광학계에 의해 3원색으로 분해돼 각각 촬상 디바이스의 수광면에 결상되는데 그 상을 소자내에서 전자적으로 주사해 전기신호로 변환시켜 출력하는 소자가 고체촬상소자이다. 이러한 CCD의 응용분야는 촬상디바이스, 대용량메모리, 아날로그 신호처리의 세가지이며 구조적으로는 MOS집적회로이기 때문에 MOS프로세스 기술을 사용해 고집적회로(LSI)화도 용이하다. CCD는 특히 자기주사 기능과 광전변환 기능을 함께 갖추고 있기 때문에 촬상디바이스에 주로 응용되며 일차원의 라인센서와 이차원의 에이리어 센서가 있으며 그 화소수는 일반적으로 라인센서는 1,500화소, 에이리어 센서는 512×320화소의 것이 있다.
- <14> 상기한 CCD 소자가 다수 형성된 CCD용 반도체칩을 탑재한 반도체패키지는 통상 그 반도체칩이 외부의 빛을 수광할 수 있도록 반도체칩의 상면에 글래스가

위치되어 있으며, 이러한 종래의 반도체패키지(100')를 도1을 참조하여 간단히 설명하면 다음과 같다.

- <15> 먼저 다수의 입출력패드(2a)가 형성된 CCD용 반도체칩(2)이 구비되어 있고, 상기 CCD용 반도체칩(2)은 접착제에 의해 회로기판(10)에 접착되어 있다. 상기 회로기판(10)은 수지층(11)을 중심으로 상기 반도체칩(2)이 위치되는 영역에 일정한 공간이 형성되도록 중앙부에 대칭되는 계단형의 턱(15)이 형성되어 있다. 상기 계단형 턱(15)의 높이는 반도체칩(2)이 두께보다 크게 되어 있다. 상기 회로기판(10)의 계단형 턱(15)에는 본드핑거(12)를 포함하는 회로패턴이 형성되어 있고, 회로기판(10)의 저면에는 실장용 패드(13)가 형성되어 있으며, 상기 회로패턴과 실장용 패드(13)는 도전성 비아홀(14)에 의해 상호 연결되어 있다.
- <16> 상기 반도체칩(2)의 입출력패드(2a)와 회로기판(10)의 본드핑거(12)는 도전성와이어(20)에 의해 상호 전기적으로 접속되어 있다.
- <17> 상기 회로기판(10)의 계단형 턱(15) 상면에는 접착제에 의해 상기 반도체칩(2) 및 도전성와이어(20) 등을 외부 환경으로부터 보호함은 물론 외부의 빛을 상기 반도체칩(2)이 용이하게 수광할 수 있도록 투명체의 글래스(30)가 접착되어 있다.
- <18> 이러한 반도체패키지(100')는 상기 반도체칩(2)으로 수광된 빛에 의해 소정의 전기적 신호가 도전성와이어(20), 도전성비아홀(14) 및 실장용 패드(13)를 통해서 마더보드에 전달된다.

<19> 그러나, 이러한 종래의 반도체패키지는 회로기판 자체의 두께가 두껍고, 또한 그 넓이가 넓음으로서, 전체적인 반도체패키지의 두께가 두꺼워짐은 물론, 차지하는 면적도 커지는 단점이 있다.

<20> 또한, 반도체칩과 글래스 상호간에 일정한 이격 공간이 존재함으로써, 상기 반도체칩으로 수광된 화상이 왜곡되기도 한다.

<21> 더불어 반도체칩의 하면이 회로기판에 직접 접착되어 있음으로써 반도체칩으로부터의 열방출 성능이 작은 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 반도체패키지의 두께 및 넓이를 최소화하고 또한 상의 왜곡을 억제하며 열방출 성능이 우수한 반도체패키지 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 상면에 외부의 빛을 수광하는 활성영역이 형성되고, 상기 활성영역의 외주연에는 다수의 입출력패드가 형성된 반도체칩과; 상기 입출력패드에 용착된 도전성범프와; 상기 반도체칩의 활성영역에 밀착되도록 밀착면이 형성되고, 상기 밀착면의 외주연에는 상기 도전성범프와 접속되도록 회로패턴이 형성된 글래스와; 상기 반도체칩의 두께보다 큰 두께를 가지며, 상기 회로패턴에 용착된 신호인출단자를 포함하여 이루어진 것을 특징으로 한다.

<24> 여기서, 상기 반도체칩은 활성영역의 반대면이 그라인딩될 수 있다.

- <25> 상기 글래스는 상기 밀착면 외주연으로부터 상기 글래스의 끝단까지 길게 요홈이 형성되고, 상기 요홈의 바닥면에 회로패턴이 형성될 수 있다.
- <26> 또한, 상기 신호인출단자는 도전성볼 또는 도전성패드중 어느 하나로 형성 될 수 있다.
- <27> 또한, 상기 도전성범프는 외부 환경으로부터 보호되도록, 언더필로 감싸여 질 수 있다.
- <28> 더불어, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 외부의 빛을 수광하는 활성영역이 형성되고, 상기 활성영역의 외주연에 는 다수의 입출력패드가 형성되며, 상기 입출력패드에는 도전성범프가 용착된 반도체칩을 제공하는 단계와; 상기 반도체칩의 활성영역과 밀착되도록 밀착면이 형성되고, 상기 밀착면의 외주연으로부터 끝단까지는 요홈이 형성되며, 상기 요홈에는 회로패턴이 형성된 글래스를 제공하는 단계와; 상기 반도체칩의 도전성범프 와 상기 글래스의 회로패턴을 상호 접속시키는 단계와; 상기 반도체칩의 외주연 인 상기 글래스의 회로패턴에 신호인출단자를 형성하는 단계를 포함하여 이루어 진 것을 특징으로 한다.
- <29> 여기서, 상기 도전성범프와 회로패턴의 상호 접속 단계후에는 상기 도전성 범프를 언더필로 감싸는 단계가 더 포함될 수 있다.
- <30> 상기와 같이 하여 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면, 종래와 같은 회로기판을 사용하지 않고 글래스에 직접 회로패턴을 형성하고, 또

한 상기 회로패턴을 반도체칩과 직접 플립칩(Flip Chip) 형태로 접속시킴으로써, 매우얇고 또한 넓이가 작은 반도체패키지를 제공하게 된다.

- <31> 더불어, 상기 반도체칩의 활성영역과 상기 글래스를 직접 밀착시킴으로써, 외부로부터 수광되는 빛의 왜곡현상을 최소화시킬 수 있게된다.
- <32> 더불어, 반도체칩 전체가 외부 공기중으로 직접 노출되고, 또한 열전도성이 우수한 글래스에 상기 반도체칩의 일면이 직접 밀착됨으로써, 방열성능이 우수한 반도체패키지를 제공하게 된다.
- <33> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조 하여 상세하게 설명하면 다음과 같다.
- <34> 도2a는 본 발명에 의한 반도체패키지(100)를 도시한 단면도이고, 도2b는 도2a의 반도체패키지가 마더보드(M)에 실장된 상태를 도시한 단면도이다.
- <35> 도시된 바와 같이 상면에 외부의 빛 즉 일정한 화상을 수광하는 활성영역(2b)이 형성되고, 상기 활성영역(2b)의 외주연에는 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있다.
- <36> 여기서, 상기 반도체칩(2)은 상기 활성영역(2b)의 반대면이 일정두께만큼 그라인딩(Grinding)된 것을 사용할 수 있다. 상기와 같은 그라인딩에 의해 본 발명은 대략 2~5mil 사이의 두께를 갖는 반도체칩(2)을 이용할 수도 있다.

<37> 계속해서, 상기 반도체칩(2)의 입출력패드(2a)에는 일정 직경의 도전성범프(8)가 용착되어 있다. 상기 도전성범프(8)는 통상적인 솔더(Sn/Pb) 또는 금(Au)이다.

<38> 또한, 상기 반도체칩(2)의 활성영역(2b) 상면에는, 상기 반도체칩(2)의 활성영역(2b)을 외부 환경으로부터 보호하는 클래스(4)가 밀착되어 있다. 상기 클래스(4)는 상기 반도체칩(2)의 활성영역(2b)과 밀착되는 밀착면(4a)이 형성되어 있고, 상기 밀착면(4a)의 외주연으로부터 상기 클래스(4)의 끝단까지는 도전성의 회로패턴(6)이 형성되어 있다. 상기 회로패턴(6)은 상기 밀착면(4a)의 외주연으로부터 상기 클래스(4)의 끝단까지 일정깊이로 인그레이빙(Engraving) 또는 에칭(Etching) 방법으로 형성된 요홈(4b)의 바닥면에 형성되어 있다.

<39> 여기서, 상기 반도체칩(2)의 입출력패드(2a)에 용착된 도전성범프(8)는 상기 클래스(4)의 회로패턴(6)과 전기적으로 접속되어 있으며, 그 외주연은 언더필(10)로 감싸여져 외부 환경으로부터 보호되도록 되어 있다.

<40> 한편, 상기 회로패턴(6)에는 상기 반도체칩(2)의 두께보다 큰 두께를 갖는 신호인출단자(12)가 형성되어 있다. 상기 신호인출단자(12)로서는 통상적인 도전성볼 또는 도전성패드를 이용할 수 있으며, 상기 신호인출단자(12)는 차후 마더보드에 실장되는 영역이 된다.

<41> 여기서, 상기 신호인출단자(12) 및 도전성범프(8)와 접속된 이외의 회로패턴(6) 표면에는 절연성의 커버코트(Cover Coat, 도시되지 않음)를 코팅할 수도 있다. 상기와 같이 커버코트를 코팅하면, 상기 회로패턴(6)을 외부환경으로부터 더욱 적극적으로 보호할 수 있게 된다.

<42> 더불어, 상기 반도체패키지(100)가 실장되는 마더보드(M)에 미리 돌출된 솔더 또는 솔더페이스트(Solder Paste) 등을 형성한 경우에는 상기 반도체패키지(100)에 별도의 신호인출단자(12)를 형성하지 않을 수도 있다.

<43> 도3a 내지 도3d는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 순차 설명도이며, 이를 참조하여 본 발명을 순차적으로 설명하면 다음과 같다.

<44> 1. 반도체칩 제공 단계로서, 외부의 빛을 수광하는 활성영역(2b)이 형성되고, 상기 활성영역(2b)의 외주연에는 다수의 입출력패드(2a)가 형성되며, 상기 입출력패드(2a)에는 도전성범프(8)가 용착된 반도체칩(2)을 제공한다.

<45> 여기서, 상기 반도체칩(2)은 상기 활성영역(2b)의 반대면을 그라인딩하여 두께가 2~5mil인 것을 제공할 수도 있다. 또한, 상기 도전성범프(8)는 통상적인 솔더 또는 금을 이용하여 형성한다.

<46> 2. 회로패턴이 형성된 글래스 제공 단계로서, 상기 반도체칩(2)의 활성영역(2b)과 밀착되도록 밀착면(4a)이 형성되고, 상기 밀착면(4a)의 외주연으로부터 상기 글래스(4)의 끝단까지는 길게 요홈(4b)이 형성되며, 상기 요홈(4b)에는 도전성의 회로패턴(6)이 형성된 글래스(4)를 제공한다.

<47> 여기서, 상기 회로패턴(6)은 통상적인 금속의 코팅(Coating), 스퍼터링(Sputtering), 또는 증착 등의 방법으로 형성가능하며, 그 회로패턴(6)의 표면은 상기 요홈(4b)이 형성되지 않은 글래스(4)의 표면보다는 낮게 형성되도록 한다.

- <48> 또한, 상기 요즘(4b)은 통상적인 인그레이빙(Engraving) 또는 에칭(Etching) 방법에 의해 형성되고, 상기 클래스(4)의 면적은 상기 반도체칩(2)의 면적보다 큰 것을 이용한다.
- <49> 여기서, 상기 반도체칩(2) 제공 단계 및 클래스(4) 제공 단계는 시계열적인 순서가 아니며, 그 순서는 충분히 변경될 수 있다.
- <50> 3. 반도체칩과 클래스의 전기적 접속단계로서, 상기 반도체칩(2)의 도전성 범프(8)와 상기 클래스(4)의 회로패턴(6)을 상호 전기적으로 접속한다. 즉, 상기 반도체칩(2)의 도전성범프(8)가 상기 클래스(4)의 회로패턴(6) 상면에 위치하도록 한 상태에서 고온의 온도를 제공하여, 상기 도전성범프(8)가 융용되며 상기 반도체칩(2)의 입출력패드(2a)와 상기 클래스(4)의 회로패턴(6)이 기계적 및 전기적으로 상호 접속되도록 한다.(도3a 및 도3b 참조)
- <51> 여기서, 상기 도전성범프(8)의 융용시에는 그 도전성범프(8)가 상기 회로패턴(6)을 따라 외부로 확장되려는 성질로 인하여 상기 반도체칩(2)의 활성영역(2b)이 상기 클래스(4)의 밀착면(4a)에 더욱 강하게 밀착되는 장점이 있다.
- <52> 4. 언더필 충진 단계로서, 상기 도전성범프(8)의 외주연을 언더필(10)로 충진하여, 상기 도전성범프(8)가 외부 환경으로부터 보호되도록 한다. 여기서, 상기 언더필(10)은 필러(Filler)의 직경이 대략 $10\mu\text{m}$ 이고, 상기 반도체칩(2)의 활성면과 클래스(4)의 밀착면(4a) 사이의 간격은 이보다 작기 때문에, 상기 언더필(10)이 상기 활성영역(2b)과 밀착면(4a) 사이로 침투되지는 않는다. 즉, 상기 언더필(10)로 인하여 상기 반도체칩(2)의 활성영역(2b)이 오염되지는 않는다.(도3c 참조)

<53> 5. 신호인출단자 형성 단계로서, 상기 반도체칩(2)의 외주연에 위치된 글래스(4)의 회로패턴(6)에 신호인출단자(12)를 형성한다. 상기 신호인출단자(12)는 통상적인 도전성볼 또는 도전성패드를 이용할 수 있다.

<54> 여기서, 상기 신호인출단자(12)는 상기 글래스(4)에 형성되지 않을 수도 있다. 즉, 마더보드의 패턴에 미리 솔더 또는 솔더 페이스트 등을 형성한 경우에는 상기 글래스(4)에 별도의 신호인출단자(12)가 필요하지 않다.

<55> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<56> 따라서 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면, 종래와 같은 회로기판을 사용하지 않고 글래스에 직접 회로패턴을 형성하고, 또한 상기 회로패턴을 반도체칩과 직접 플립칩(Flip Chip) 형태로 접속시킴으로써, 반도체패키지가 매우 얇고 또한 넓이가 작게 되는 효과가 있다.

<57> 더불어, 상기 반도체칩의 활성영역과 상기 글래스를 직접 밀착시킴으로써, 외부로부터 수광되는 빛의 왜곡현상을 최소화시킬 수 있는 효과가 있다.

<58> 더불어, 반도체칩 전체가 외부 공기중으로 직접 노출되고, 또한 열전도성이 우수한 글래스에 상기 반도체칩의 일면이 직접 밀착됨으로써, 방열성능이 우수한 효과가 있다.

【특허청구범위】**【청구항 1】**

상면에 외부의 빛을 수광하는 활성영역이 형성되고, 상기 활성영역의 외주연에는 다수의 입출력패드가 형성된 반도체칩과;
상기 입출력패드에 융착된 도전성범프와;
상기 반도체칩의 활성영역에 밀착되도록 밀착면이 형성되고, 상기 밀착면의 외주연에는 상기 도전성범프와 접속되도록 회로패턴이 형성된 글래스와;
상기 반도체칩의 두께보다 큰 두께를 가지며, 상기 회로패턴에 융착된 신호인출단자를 포함하여 이루어진 반도체패키지.

【청구항 2】

제1항에 있어서, 상기 반도체칩은 활성영역의 반대면이 그라인딩된 것을 특징으로 하는 반도체패키지.

【청구항 3】

제1항에 있어서, 상기 글래스는 상기 밀착면 외주연으로부터 상기 글래스의 끝단까지 길게 요홈이 형성되고, 상기 요홈의 바닥면에 회로패턴이 형성된 것을 특징으로 하는 반도체패키지.

【청구항 4】

제1항에 있어서, 상기 신호인출단자는 도전성볼 또는 도전성패드중 어느 하나로 형성된 것을 특징으로 하는 반도체패키지.

【청구항 5】

제1항에 있어서, 상기 도전성범프는 외부 환경으로부터 보호되도록, 언더필로 감싸여진 것을 특징으로 하는 반도체패키지.

【청구항 6】

외부의 빛을 수광하는 활성영역이 형성되고, 상기 활성영역의 외주연에는 다수의 입출력패드가 형성되며, 상기 입출력패드에는 도전성범프가 용착된 반도체칩을 제공하는 단계와;

상기 반도체칩의 활성영역과 밀착되도록 밀착면이 형성되고, 상기 밀착면의 외주연으로부터 끝단까지는 요홈이 형성되며, 상기 요홈에는 회로패턴이 형성된 클래스를 제공하는 단계와;

상기 반도체칩의 도전성범프와 상기 클래스의 회로패턴을 상호 접속시키는 단계와;

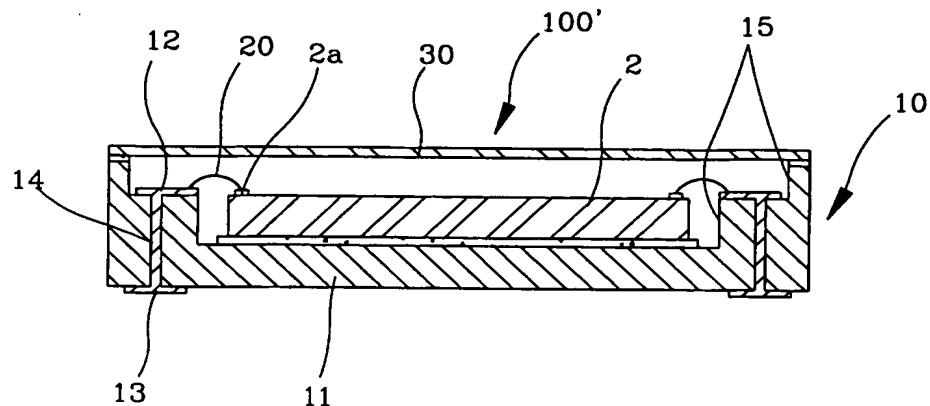
상기 반도체칩의 외주연인 상기 클래스의 회로패턴에 신호인출단자를 형성하는 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

【청구항 7】

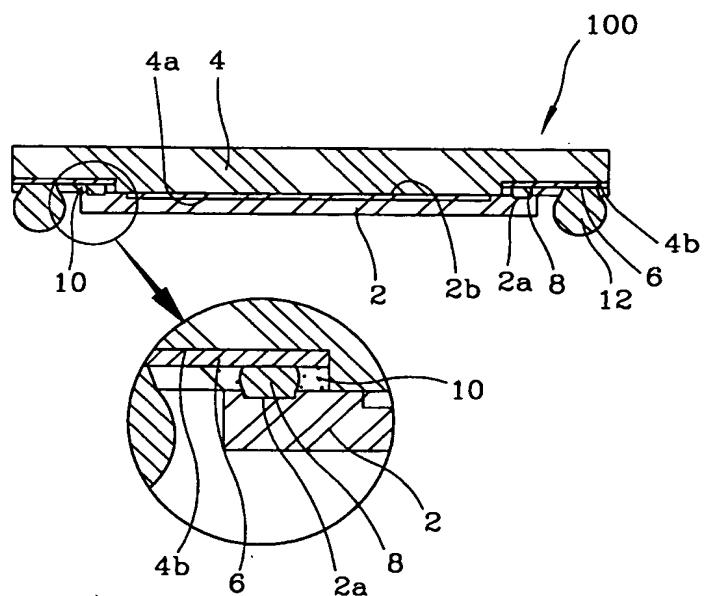
제6항에 있어서, 상기 도전성범프와 회로패턴의 상호 접속 단계후에는 상기 도전성범프를 언더필로 감싸는 단계가 더 포함된 것을 특징으로 하는 반도체패키지의 제조 방법.

【도면】

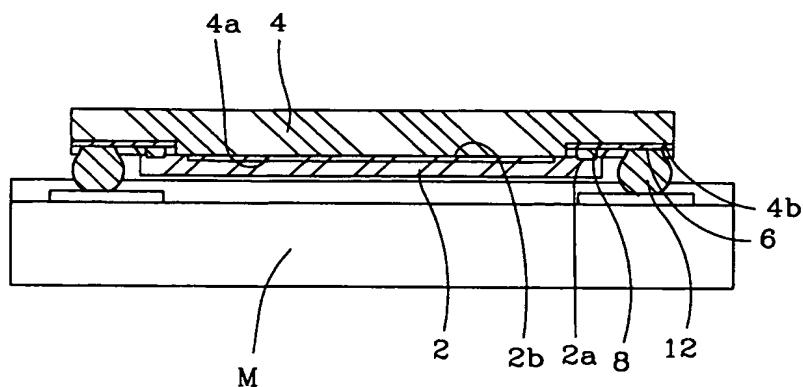
【도 1】



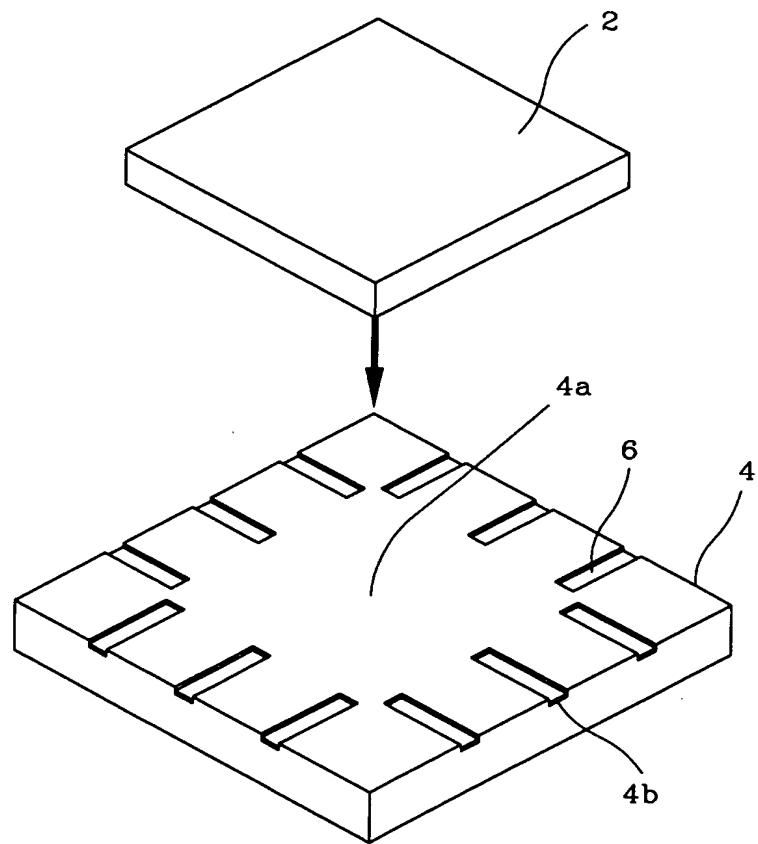
【도 2a】



【도 2b】



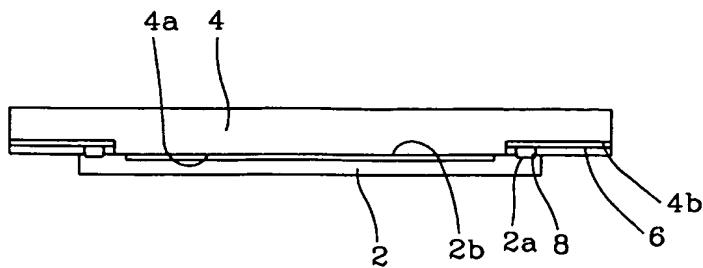
【도 3a】



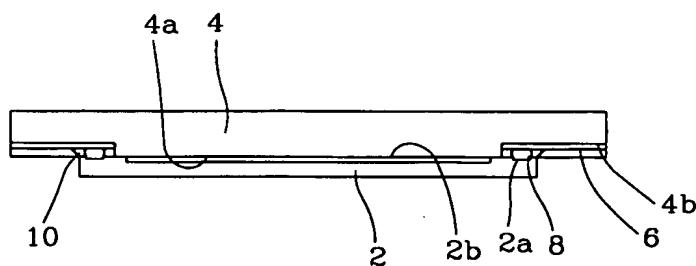
1020010017451

출력 일자: 2001/12/24

【도 3b】



【도 3c】



【도 3d】

